

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-198321

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

G09G 3/36
G02F 1/133
H04N 5/66

(21)Application number : 09-014688

(71)Applicant : SONY CORP

(22)Date of filing : 10.01.1997

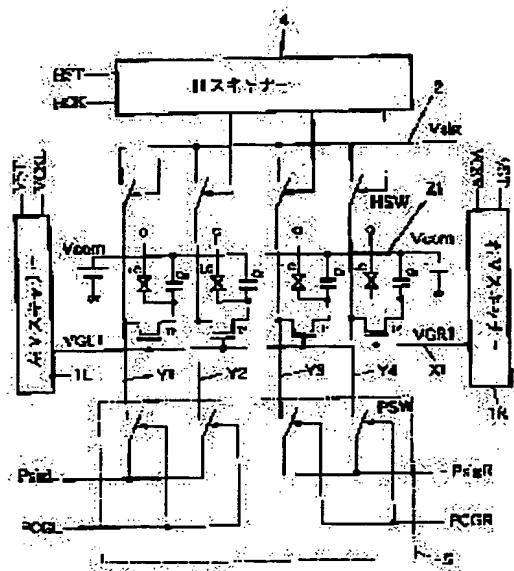
(72)Inventor : UCHINO KATSUHIDE

(54) ACTIVE MATRIX DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain the voltage fluctuation of a video line due to the speedup of sampling rate.

SOLUTION: V-scanners 1L and 1R scan successively respective gate lines X1... for selecting the liquid crystal image element LC for one line for each one horizontal period. A H-scanner 4 carries out the sampling of image signals Vsig with regard to respective signal lines Y1 to Y4, and writes the image signal Vsig to the liquid crystal element LC for one line selected within one horizontal period. Before writing the image signal Vsig with regard to the liquid crystal image element LC, a precharge means 5 supplies a precharge signal Psig to the respective signal lines Y. The gate line X1 is divided into right and left parts at the center of the image plane including matrixlike image element LC, and V-scanners 1L, 1R are provided right and left so as to correspond to the gate lines X1 that have been divided right and left, and selects the image elements LC of right half line and left half line while shifting the respective phases within one horizontal period. The precharge means 5 supplies the precharge signal PsigL to the left-half signal lines Y1, Y2 before writing the image signal to the left-half image element, and supplies the precharge signal PsigR to the right-half signal lines Y3, Y4 before writing the image signal to the right-half image element.



This Page Blank (uspto)

(51)Int.Cl.⁵

G 0 9 G 3/36

G 0 2 F 1/133

H 0 4 N 5/66

識別記号

5 5 0

1 0 2

F I

G 0 9 G 3/36

G 0 2 F 1/133

H 0 4 N 5/66

5 5 0

1 0 2 B

審査請求 未請求 請求項の数3 FD (全9頁)

(21)出願番号

特願平9-14688

(22)出願日

平成9年(1997)1月10日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

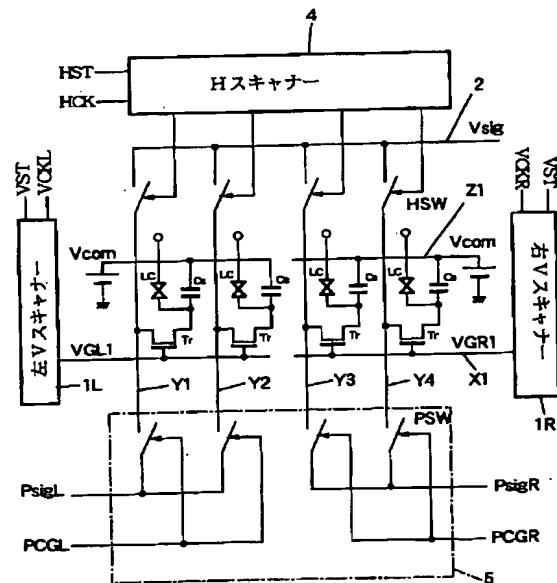
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 アクティブマトリクス表示装置

(57)【要約】

【課題】 サンプリングレートの高速化に伴うビデオラインの電位揺れを抑制する。

【解決手段】 Vスキャナー1L, 1Rは各ゲート線X1 . . . を順次走査し、一水平期間毎に一行分の液晶画素LCを選択する。Hスキャナー4は各信号線Y1~Y4に対して映像信号Vsигをサンプリングし、一水平期間内に選択された一行分の液晶画素LCに映像信号Vsигを書き込む。プリチャージ手段5は液晶画素LCに対して映像信号Vsигを書き込む前に、各信号線Yにプリチャージ信号Psигを供給する。ゲート線X1は行列状の画素LCを含む画面の中央で左右に分割されており、Vスキャナー1L, 1Rは左右に分割されたゲート線X1に対応して左右に分かれて設けられ、一水平期間内で各々位相をずらして左半行及び右半行の画素LCを選択する。プリチャージ手段5は左半分の画素に映像信号を書き込む前に左半分の信号線Y1, Y2にプリチャージ信号PsигLを供給し、右半分の画素に映像信号を書き込む前に右半分の信号線Y3, Y4にプリチャージ信号PsигRを供給する。



【特許請求の範囲】

【請求項1】 行状のゲート線と、列状の信号線と、両者の交差部に配された行列状の画素と、各ゲート線を順次走査し一水平期間毎に一行分の画素を選択する垂直走査回路と、各信号線に対して映像信号をサンプリングし一水平期間内に選択された一行分の画素に映像信号を書き込む水平走査回路と、画素に対して映像信号を書き込む前に各信号線に所定のプリチャージ信号を供給するプリチャージ手段とを備えたアクティブマトリクス表示装置であって、

前記ゲート線は行列状の画素を含む画面の中央で左右に分割されており、

前記垂直走査回路は左右に分割された該ゲート線に対応して左右に分かれて設けられ、一水平期間内に各々位相をずらして左半行及び右半行の画素を選択し、

前記プリチャージ手段は、左半行の画素に映像信号を書き込む前に左半分の信号線にプリチャージ信号を供給し、右半行の画素に映像信号を書き込む前に右半分の信号線にプリチャージ信号を供給することを特徴とするアクティブマトリクス表示装置。

【請求項2】 前記プリチャージ手段は、一水平期間のプランニング区間内で左右いずれか半分の信号線に対するプリチャージ信号の供給を開始し、さらに該プランニング区間が終る前に残り半分の信号線に対するプリチャージ信号の供給を開始することを特徴とする請求項1記載のアクティブマトリクス表示装置。

【請求項3】 前記画面は画素毎に分かれた画素電極とこれに対向配置された対向電極とを含み、該対向電極は画面の左右分割に対応して左右に分かれており、左右の対向電極に対して別々の配線を介して所定の対向電圧を供給するとともに、左右の垂直走査回路に対して別々の配線を介して所定の接地電圧を供給することを特徴とする請求項1記載のアクティブマトリクス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はアクティブマトリクス表示装置に関する。より詳しくは、信号線の高速走査に伴うビデオラインの電位揺れ抑制技術に関する。

【0002】

【従来の技術】 図6を参照して従来のアクティブマトリクス表示装置の一般的な構成を簡潔に説明する。図示する様に、アクティブマトリクス表示装置は行状のゲート線Xと列状の信号線Yとを備えている。両者の交差部には行列状の画素が配置している。個々の画素は、例えば液晶セルLCとこれを駆動する薄膜トランジスタTrからなる。また、Vスキャナー(垂直走査回路)101を有しており、各ゲート線Xを順次走査して、一水平期間毎に一行分の画素を選択する。また、水平走査回路を備えており、各信号線Yに対し映像信号Vsigをサンプリングし、一水平期間毎に選択された一行分の画素に映

像信号Vsigを書き込む。この水平走査回路は個々の信号線Yの端部に設けられた水平スイッチHSWと、これらを順次開閉制御するHスキャナー102とからなる。各信号線Yは上述した水平スイッチHSWを介してビデオラインに接続されている。このビデオラインにはシグナルドライバ103から上述した映像信号Vsigが供給される。Hスキャナー102は各水平スイッチHSWを順次開閉制御する為、サンプリングパルスφH1, φH2, φH3, . . . , φHNを出力する。

【0003】 図7は、図6に示したHスキャナー102から順次出力されるサンプリングパルスφH1, φH2, φH3を示す波形図である。アクティブマトリクス表示装置の高精細化が進み画素数が顕著に増大すると、これに応じて映像信号のサンプリングレートが高速化される。この結果、各サンプリングパルスの幅tHにばらつきが発生する様になる。サンプリングパルスが対応する水平スイッチHSWに印加されると、ビデオラインから供給された映像信号Vsigが導通したHSWを介して各信号線Yにサンプリングされる。個々の信号線Yには所定の容量成分がある為サンプリングパルスに応じて信号線Yの充放電が生じ、これによりビデオラインの電位が揺らぐ。前述した様に、サンプリングレートが高速化された場合各サンプリングパルスのパルス幅がばらつく為、充放電量が一定せず、ビデオラインの電位が変動する。この電位変動が映像信号Vsigに重畠され、表示された画像に縦筋が発生し画像品位を著しく損なうという欠点がある。

【0004】 上述した欠点に対処する為所謂プリチャージ技術が提案されており、例えば特開平7-29552

30 1号公報に開示されている。図8を参照してプリチャージ技術を採用したアクティブマトリクス表示装置を簡潔に説明する。この表示装置は行状に配列したゲート線Xと列状に配列した信号線Yを備えている。また、ゲート線Xと信号線Yの交差部には液晶画素LCが行列状に配されている。液晶画素LCは薄膜トランジスタTrにより駆動される。薄膜トランジスタTrのソース電極は対応する信号線Yに接続され、ゲート電極は対応するゲート線Xに接続され、ドレイン電極は対応する液晶画素LCに接続されている。各ゲート線XにはVスキャナー1が接続されており垂直走査回路を構成する。このVスキャナー1は所定のクロック信号VCKに応じて垂直スタートパルスVSTを順次転送し、各ゲート線Xに対して選択パルスVG1, . . . , VGMを供給する。これにより、各ゲート線Xを順次走査し、一水平期間毎に一行分の液晶画素LCを選択する。一方、個々の信号線Yは対応する水平スイッチング素子HSWを介してビデオライン2に接続されている。このビデオライン2には外部のシグナルドライバ3から映像信号Vsigが供給される。また、Hスキャナー4を備えており、各水平スイッチング素子HSWの開閉制御を行なう。即ち、Hスキャ

ナー4は所定のクロック信号HCKに同期して水平スタートパルスHSTを順次転送し、サンプリングパルス $\phi_{H1}, \phi_{H2}, \phi_{H3}, \dots, \phi_{HN}$ を出力して水平スイッチング素子HSWを開閉する。このHスキャナー4と水平スイッチング素子HSWとにより水平走査回路が構成され、各信号線Yに対して映像信号Vsigをサンプリングし、一水平期間内に選択された一行分の画素LCに対して導通状態にある薄膜トランジスタTrを介し映像信号Vsigを書き込む。

【0005】この表示装置は更にプリチャージ手段5を備えており、一行分の液晶画素LCに映像信号Vsigを書き込む直前、各信号線Yに所定のプリチャージ信号Psigを供給し、映像信号Vsigをサンプリングする際生じる各信号線Yの充放電量を低減化する。プリチャージ手段5は各信号線Yの端部に接続した複数のスイッチング素子PSWと、各スイッチング素子PSWを一齊に開閉してプリチャージ信号Psigを各信号線Yに印加する制御手段6とから構成されている。この制御手段6は制御パルスPCGを出力する。なお、プリチャージ信号Psigはシグナルドライバ3とは別に設けられた信号源7から供給される。このプリチャージ信号Psigは白レベルと黒レベルとの間で変化する映像信号Vsigに対して中間の灰レベルを有している。

【0006】次に、図9のタイミングチャートを参照して、図8に示した表示装置の動作を簡潔に説明する。Vスキャナー1に入力される垂直クロック信号VCKは一水平期間(1H)に相当するパルス幅を有する。また、制御手段6から出力される制御パルスPCGは例えば水平プランギング区間などの水平非有効期間内にまでかかると、液晶画素にプリチャージ信号Psigが書き込まれる恐れがある。次にHスキャナー4に供給される水平スタートパルスHSTは一水平期間毎制御パルスPCGの直後に outputされ、映像信号Vsigのサンプリングを開始する。このサンプリングパルスはHスキャナー4に供給される水平クロック信号HCKに同期して順次出力される。一方、シグナルドライバ3からビデオライン2を介して供給される映像信号Vsigは一水平期間毎に極性反転しており交流駆動が行なわれる。これに応じて、信号源7から供給されるプリチャージ信号Psigも一水平期間毎に反転し、映像信号Vsigに対して極性を一致させている。このプリチャージ信号Psigは映像信号Vsigの中心電位に対してVpの電位レベルを有し、丁度白レベルと黒レベルの中間に位置する灰レベルを表わしている。図9のタイミングチャートの最後の波形は、個々の信号線Yに印加される電位YYの変化を表わしている。一水平期間の最初に制御信号PCGが outputされ追加のスイッチング素子PSWが導通すると、全信号線Yにプリチャージ信号Psigが印加され、容量成分に対して充放電が行なわれる。このプリチャージ

信号Psigの印加により、各信号線Yの電位YYはVpのレベルになる。この後、各信号線Yに対して実際の映像信号Vsigがサンプリングされ、その電位YYはVsigに応じて変化し書き込みが実行される。書き込みに伴う電位変化 ΔV はVsig-Vpに低減されており、充放電量が少なくなる。これにより、ビデオライン2の電位揺れを抑制でき、ユニフォーミティは大きく向上する。

【0007】

10 【発明が解決しようとする課題】ところで、表示装置をテレビやパーソナルコンピュータのモニターとして用いる場合、種々の規格(フォーマット)が存在しており、例えばNTSC、VGA、SVGA、XGA、SXGA、HDなどが挙げられる。比較的低精細のVGAやSVGA規格では水平プランギング区間は $5\text{ }\mu\text{sec}$ 以上であるが、比較的高精細のXGA、SXGAになると水平プランギング区間は3乃至 $4\text{ }\mu\text{sec}$ と短くなり、この時間ではプリチャージを行なうことは非常に困難である。XGAフォーマット($1024\text{H}\times768\text{V}$)、SXGAフォーマット($1280\text{H}\times1024\text{V}$)などにプリチャージ方式を適用した場合、垂直画素数が多くなる為、図10に示す様に配線クロス容量Cが増加する。

20 このクロス容量Cはゲート線Xと信号線Yの交差部に現れる。この結果、信号線Xの容量が増加する。また、前述した様にXGAやSXGAのフォーマットでは水平プランギング区間が極めて短い。

【0008】この為、図11に示すように、プリチャージを行なう為の制御信号PCGのパルス幅が短く、本来信号線Xに書き込みたいレベルに到達しないまま信号線

30 電位YYをホールドしてしまう。仮に、プリチャージ用制御パルスPCG'の様に充分パルス幅が長ければ、信号線電位YY'で示す様に信号線Xに書き込みたいレベルをホールドすることができる。しかしながら、実際にはこの様に充分なプリチャージ信号の書き込み時間を確保することは困難である。

【0009】

【課題を解決する為の手段】上述した従来の技術の課題を解決する為に以下の手段を講じた。即ち、本発明に係るアクティブマトリクス表示装置は基本的な構成として、行状のゲート線と、列状の信号線と、両者の交差部に配された行列状の画素とを備えている。また、各ゲート線を順次走査し一水平期間毎に一行分の画素を選択する垂直走査回路と、各信号線に対して映像信号をサンプリングし、一水平期間内に選択された一行分の画素に映像信号を書き込む水平走査回路とを有している。更に、プリチャージ手段を備えており、画素に対して映像信号を書き込む前に各信号線に所定のプリチャージ信号を供給する。特徴事項として、前記ゲート線は行状の画素を含む画面の中央で左右に分割されている。また、前記垂直走査回路は左右に分割された該ゲート線に対応して左

40 50

右に分かれて設けられ、一水平期間内で各々位相をずらして左半行及び右半行の画素を選択する。更に、前記プリチャージ手段は左半行の画素に映像信号を書き込む前に左半分の信号線にプリチャージ信号を供給し、右半行の画素に映像信号を書き込む前に右半分の信号線にプリチャージ信号を供給する。好ましくは前記プリチャージ手段は、一水平期間のプランギング区間内で左右何れか半分の信号線に対するプリチャージ信号の供給を開始し、更に該プランギング区間が終わる前に残り半分の信号線に対するプリチャージ信号の供給を開始する。また好ましくは、前記画面は画素毎に分かれた画素電極とこれに対向配置された対向電極とを含む。該対向電極は画面の左右分割に対応して左右に分かれており、左右の対向電極に対して別々の配線を介して所定の対向電圧を供給する。同時に、左右の垂直走査回路に対して別々の配線を介して所定の接地電圧を供給する。

【0010】点順次方式を採用したアクティブマトリクス表示装置において、XGA、SXGA、HDなどのフォーマットの様に水平プランギング区間が短くなると、この時間内で充分なプリチャージを行なうことはできない。そこで本発明ではゲート線などを画面の中央で切り離し、例えば画面左半分が映像信号を書き込んでいる時、画面右半分はプリチャージを行なう様にする。また、画面の右半分が映像信号を書き込んでいる時は、左半分にプリチャージを行なう。これにより、プリチャージ時間が充分に確保でき、表示のユニフォーミティが改善可能になる。

【0011】

【発明の実施の形態】以下図面を参照して本発明の最良な実施形態を詳細に説明する。図1は本発明に係るアクティブマトリクス表示装置の第1実施形態を示す模式的な回路図である。図示する様に、本アクティブマトリクス表示装置は行状に配列したゲート線と列状に配列した信号線とを備えている。図示を簡略化する為、一本のゲート線X1及び4本の信号線Y1乃至Y4のみを表わしている。また、ゲート線Xと信号線Yの交差部には液晶画素LCが行列状に配されている。本実施形態のアクティブマトリクス表示装置は液晶画素を備えているが、他の電気光学物質からなる画素であってもよいことは勿論である。この液晶画素LCは画素電極と対向電極との間に電気光学物質として液晶を介在させたものである。また、本実施形態では液晶画素LCと平行に補助容量Csも形成されている。液晶画素LCは薄膜トランジスタTrにより駆動される。薄膜トランジスタTrのソース電極は対応する信号線Yに接続され、ゲート電極は対応するゲート線Xに接続され、ドレイン電極は対応する液晶画素LCの画素電極に接続されている。更に、ドレイン電極は対応する補助容量Csの一方の電極にも接続されている。補助容量Csの他方の電極は補助線Z1に接続されている。この補助線Z1には所定の対向電圧Vco

mが印加されている。なお、液晶画素LCの対向電極にもこの対向電圧Vcomが印加されている。従って、補助線Z1と対向電極は表示装置内で互いに結線されている。

【0012】ゲート線Xは行状の画素LCを含む画面の中央で左右に分割されている。また補助線Z及び対向電極も左右に分割されている。左右に分割されたゲート線Xに対応して左Vスキャナー1L及び右Vスキャナー1Rが設けられている。一对の左Vスキャナー1L及び右Vスキャナー1Rは合わせて垂直走査回路を構成し、各ゲート線Xを順次走査し一水平期間毎に1行分の画素LCを選択する。左Vスキャナー1Lは所定のクロック信号VCKLに応じて垂直スタートパルスVSTを順次転送し、ゲート線Xに対して選択パルスVGLを供給する。これにより、左半分の各ゲート線Xを順次走査し、一水平期間毎に左半行分の液晶画素LCを選択する。同様に、右Vスキャナー1Rは所定のクロック信号VCKRに応じて垂直スタートパルスVSTを順次転送し、各ゲート線Xに対して選択パルスVGRを供給する。これにより、各ゲート線Xを順次走査し、一水平期間毎に右半行分の液晶画素LCを選択する。この際、VCKLとVCKRは位相がずれている。この様に、本発明では垂直走査回路は左右に分割されたゲート線Xに対応して左右に分かれて設けられ、一水平期間内で各々位相をずらして左半行及び右半行の画素を選択している。

【0013】一方、個々の信号線Yは対応する水平スイッチング素子H SWを介してビデオライン2に接続されている。このビデオライン2には外部から映像信号Vsigが供給される。また、Hスキャナー4を備えており、各水平スイッチング素子H SWの開閉制御を行なう。即ち、Hスキャナー4は所定のクロック信号HCKに同期して、水平スタートパルスHSTを順次転送し、サンプリングパルスを出力して水平スイッチング素子H SWを開閉する。このHスキャナー4と水平スイッチング素子H SWとにより水平走査回路が構成され、各信号線Yに対して映像信号Vsigをサンプリングし、一水平期間内に選択された一行分の画素LCに対して導通状態にある薄膜トランジスタTrを介し映像信号Vsigを書き込む。

【0014】本アクティブマトリクス表示装置はプリチャージ手段5を備えており、画素LCに対して映像信号Vsigを書き込む前に各信号線Yに所定のプリチャージ信号Psigを供給し、映像信号Vsigをサンプリングする際生じる各信号線Yの充放電量を低減化する。特徴事項として、このプリチャージ手段5は左半分の画素LCに映像信号Vsigを書き込む前に左半分の信号線Y1、Y2にプリチャージ信号PsigLを供給し、右半分の画素LCに映像信号Vsigを書き込む前に右半分の信号線Y3、Y4にプリチャージ信号PsigRを供給する。このように、本発明ではゲート線X、補助

線Z、対向電極を画面の中央付近で切り離したのに対応して、プリチャージ手段5はプリチャージ信号P_{sig}L, P_{sig}Rを左右別々に設けている。また、プリチャージ手段5に含まれるスイッチング素子P_{SW}を開閉制御する為の制御パルスP_{CGL}, P_{CGR}も左右別々に設けている。更に、左Vスキャナー1L及び右Vスキャナー1Rに入力されるクロック信号V_{CKL}, V_{CKR}も別々に設ける。このV_{CKL}とV_{CKR}、P_{CGL}とP_{CGR}、P_{sig}LとP_{sig}Rはそれぞれ一水平期間(1H)の約半分程度の位相をずらす。係る構成により、画面の左半分が映像信号V_{sig}を書き込んでいる時は画面右半分はプリチャージ信号P_{sig}Rを書き込む。また、画面右半分が映像信号V_{sig}を書きいている時は画面左半分にプリチャージ信号P_{sig}Lを書き込む。P_{sig}LとP_{sig}Rは位相のみずれるだけで、信号レベルは同じにしても、代えても構わない。

【0015】図2のタイミングチャートを参照して、図1に示したアクティブマトリクス表示装置の動作を説明する。HSTに応じてHスキャナー4が動作を開始し、最初に左半分の画素に映像信号V_{sig}を書き込み始め、次に右半分の画素に映像信号を書き込む。一行分の映像信号の書き込み期間は1H内に納まる。V_{CKL}とV_{CKR}は互いに位相が1Hの半分程度ずれている。同様に、P_{CGL}とP_{CGR}の位相も半分程ずれている。更に、左右のプリチャージ信号P_{sig}LとP_{sig}Rも位相が半分程度ずれている。FRPは1H毎に映像信号V_{sig}を反転する為の信号である。左Vスキャナー1L及び右Vスキャナー1Rから順次出力される選択パルスV_GL及びV_GRも互いに位相がずれている。係るタイミングにおいて、画面の左半分に映像信号V_{sig}を書き始める前にプリチャージ用の制御パルスP_{CGL}が出力され、画面左半分の信号線に対してプリチャージ信号P_{sig}Lが書き込まれる。この後、画面の左半分に映像信号が実際に書き込まれる。この時、画面の右半分に映像信号が書き込まれる前に、プリチャージ用の制御パルスP_{CGR}が出力される。これにより、画面の右半分の信号線にプリチャージ信号P_{sig}Rが書き込まれる。この後、画面の右半分に映像信号が書き込まれる。そして画面の左半分に対する映像信号の書き込みが終了した後、V_GL1が立ち下がり、画素に書き込まれた映像信号がホールドされる。この後再び次の制御パルスP_{CGL}が出力され、画面の左半分の信号線に対して反対極性のP_{sig}Lが書き込まれる。以上の様にして、画面左半分が映像信号を書き込んでいる時、画面右半分はプリチャージ信号P_{sig}Rを書き込み、逆に右半分が映像信号を書き込んでいる時は左半分にプリチャージ信号P_{sig}Lを書き込むことができ、1H期間の約半分近くの時間をプリチャージ信号書き込み時間に当てられる。

【0016】図3は本発明に係るアクティブマトリクス

表示装置の第2実施形態を示す模式的な回路図である。図1に示した第1実施形態と対応する部分には対応する参照番号を付して理解を容易にしている。なお、図示を簡略化する為、液晶画素LCは省略してある。第1実施形態と同様に、ゲート線X及び補助線Zは画面のほぼ中央で左右に分割されている。しかしながら、左右に分かれた補助線Zには外部から共通の対向電圧V_{com}が内部配線を介して供給されている。左右に分かれたゲート線Xはそれぞれインバータからなるバッファ10を介して左右のVスキャナー1L, 1Rの出力段に接続されている。各バッファ10には内部配線を介して共通の接地電位V_{SS}が供給されている。

【0017】次に図4のタイミングチャートを参照して図3に示したアクティブマトリクス表示装置の動作を説明する。(A)は図2に示したタイミングチャートと同様のタイミングにより動作を行なった場合を表わしている。例えばXGAフォーマットの場合一水平期間(1H)は14μsec程度である。この内、実際の映像信号の書き込み期間には10μsec程度が割り当てられ、水平プランギング区間には3.7μsecの時間が割り当てられる。画面の左半分に対するプリチャージ信号の書き始めタイミングはP_{CGL}の立ち上がり時であり、画面の右半分に対するプリチャージ信号の書き始めタイミングはP_{CGR}の立ち上がり時となる。P_{CGL}が立ち上がった時プリチャージ信号の書き始めに応じて左半分の補助線の電位V_{comL}が揺れる。同様に、P_{CGR}が立ち上がった時右半分の補助線の電位V_{comR}も揺れる。ところが、左右の補助線は内部配線で接続されているため、一方の電位揺れが他方の電位揺れをもたらし、V_{com}ライン全体が揺らぐことになる。なお、図示しないがV_{SS}ラインについても同様に揺らぎが生じる。この為、画面片半分のプリチャージによる電位揺れが画面他半分の映像信号書き込みに乗ってくる為、画品位を損なう場合がある。

【0018】そこで本実施形態では(B)に示す様に、プリチャージ信号の書き始めタイミングを水平プランギング区間に納めることで、V_{com}ライン及びV_{SS}ラインの電位揺れに起因する問題を解決している。具体的には、P_{CGL}及びP_{CGR}で示す様に立ち上がりタイミングを水平プランギング区間に納め、V_{comL}及びV_{comR}が揺れている時間を水平プランギング区間に置く様にする。即ち、左右分割プリチャージを行なう際、一方のプリチャージ信号書き込み時におけるV_{com}ライン及びV_{SS}ラインの揺れが、もう一方の映像信号書き込みに影響しない様にする為、左右のプリチャージ信号P_{sig}L, P_{sig}Rの書き始めタイミングを水平プランギング区間にする。より正確には、プリチャージ信号の書き始めからこれによって生じる電位揺れが納まるまでの時間を水平プランギング区間に置く。以上の様に、本実施形態では、一水平期間の

プランキング区間内で左右何れか半分の信号線に対するプリチャージ信号の供給を開始し、更に該プランキング区間が終わる前に残り半分の信号線に対するプリチャージ信号の供給を開始する。

【0019】図5は、本発明に係るアクティブマトリクス表示装置の第3実施形態を示す模式的な回路図である。理解を容易にする為、図3に示した第2実施形態と対応する部分には対応する参考番号を付してある。この実施形態でも、左右分割プリチャージを行なう為、画面のほぼ中央でゲート線X及び補助線Zを左右に切り離している。しかしながら、第2実施形態の様にV_{com}ラインやV_{SS}ラインを共通にすると、画面の片半分がプリチャージ信号の書き込みによってゲート線Xや補助線Zが揺れると、この共通のV_{SS}配線及びV_{com}配線を介して画面の他半分に乗ってくる為画品位を損なう場合もある。そこで本実施形態では上記問題を回避する為、画面の左右別々にV_{SS}ライン及びV_{com}ラインを設けて外部から入力する様にしている。即ち、本実施形態ではプリチャージの電位揺れの系を電気的に完全に切り離す為、画面の左側と右側各々にV_{SS}ライン及びV_{com}ラインを設けている。以上の様に、本発明では画面は画素毎に分かれた画素電極とこれに対向配置された対向電極とを含み、対向電極は補助線Zと同様に画面の左右分割に対応して左右に分かれている。左右の対向電極に対して別々の配線を介して所定の対向電圧V_{com}を供給している。また、左右のVスキャナー1L、1Rに対しても別々の配線を介して所定の接地電圧V_{SS}を供給している。

【0020】

【発明の効果】以上説明したように、本発明によれば、画面を左右に分割しタイミングをずらしてプリチャージ信号を書き込んでいる。これにより、水平プランキング

区間が短いフォーマット(XGA、SXGA、HD)であっても、充分プリチャージを行なうことができ、従来問題となっていた縦筋、クロストーク、シェーディングなどの欠陥を抑制して画品位を大幅に改善することが可能になる。

【図面の簡単な説明】

【図1】本発明に係るアクティブマトリクス表示装置の第1実施形態を示す回路図である。

【図2】第1実施形態の動作説明に供するタイミングチャートである。

【図3】本発明に係るアクティブマトリクス表示装置の第2実施形態を示す回路図である。

【図4】第2実施形態の動作説明に供するタイミングチャートである。

【図5】本発明に係るアクティブマトリクス表示装置の第3実施形態を示す回路図である。

【図6】従来のアクティブマトリクス表示装置の一例を示す回路図である。

【図7】図6に示した従来のアクティブマトリクス表示装置の動作説明に供するタイミングチャートである。

【図8】従来のアクティブマトリクス表示装置の他の例を示す回路図である。

【図9】図8に示した従来のアクティブマトリクス表示装置の動作説明に供するタイミングチャートである。

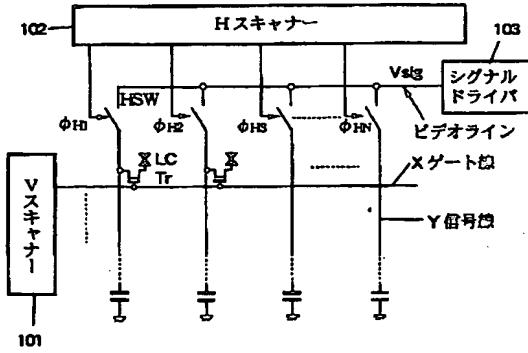
【図10】図8に示した従来のアクティブマトリクス表示装置の課題説明に供する回路図である。

【図11】同じく課題説明に供するタイミングチャートである。

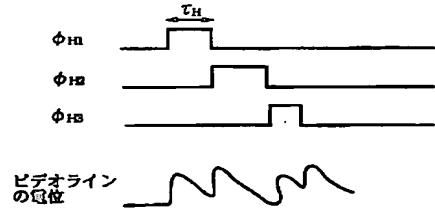
【符号の説明】

30 1L・・・左Vスキャナー、1R・・・右Vスキャナー
—、2・・・ビデオライン、4・・・Hスキャナー、5
・・・プリチャージ手段

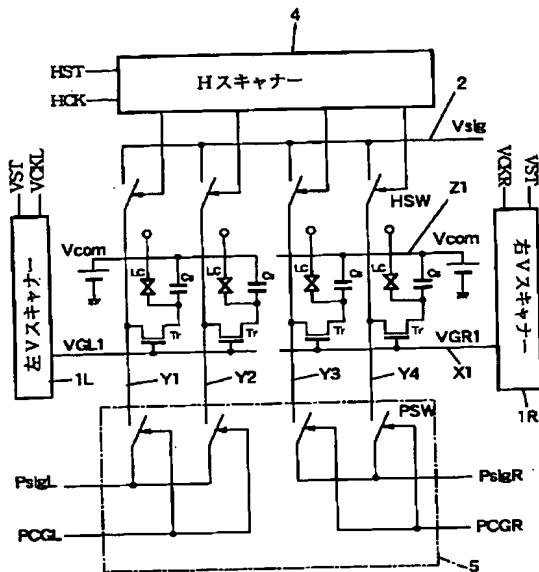
【図6】



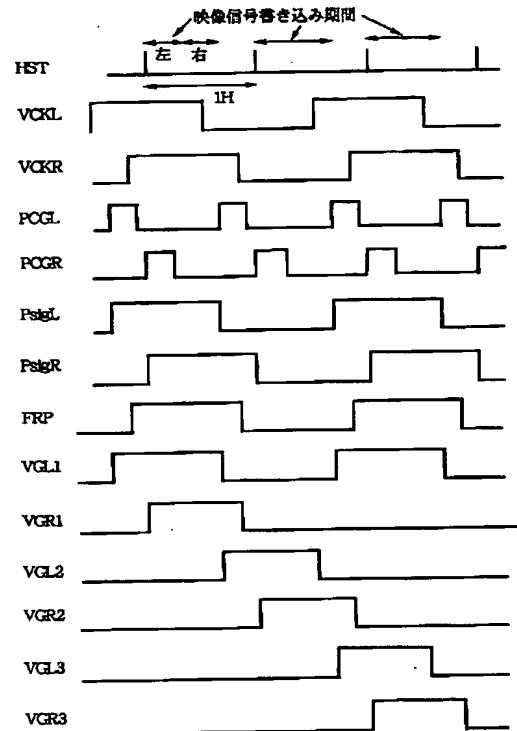
【図7】



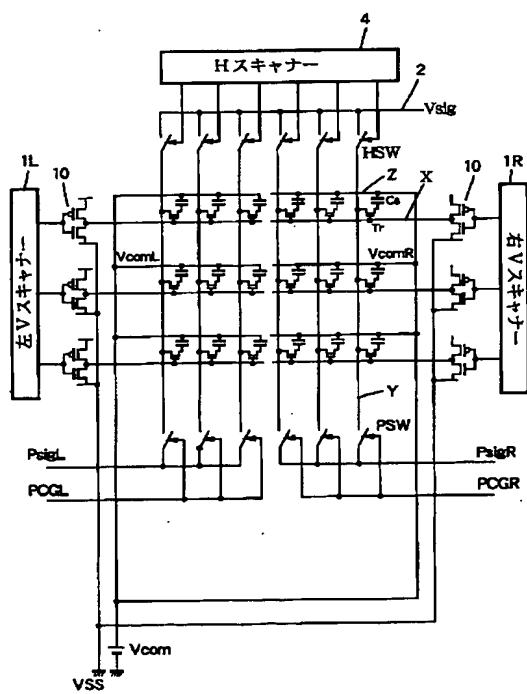
【図1】



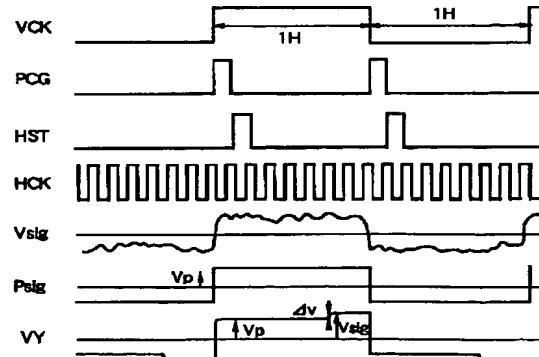
【図2】



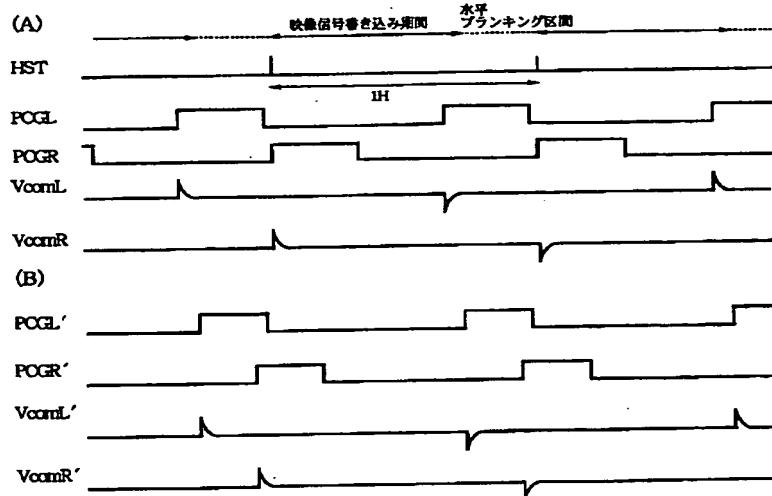
【図3】



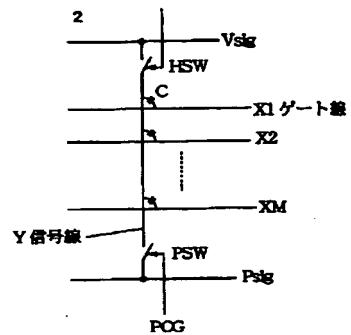
【図9】



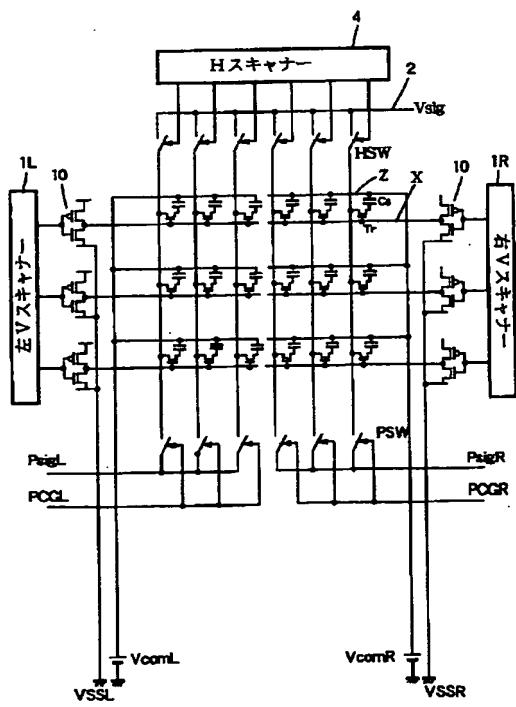
【図4】



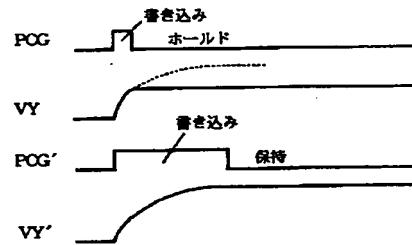
【図10】



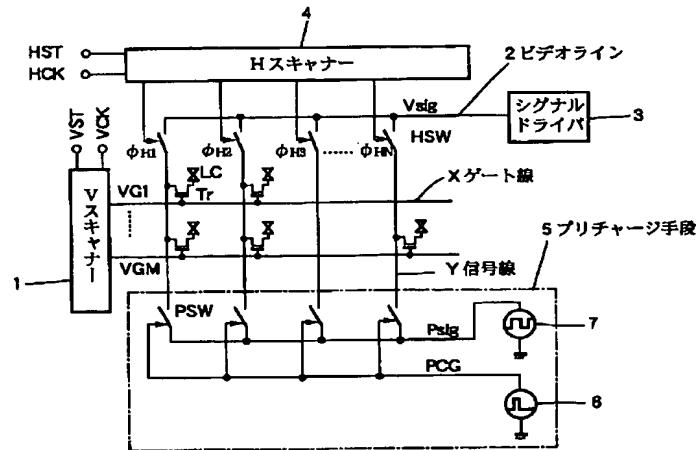
【図5】



【図11】



【図8】



This Page Blank (uspto)